

栅极坡度角对TFT器件制程的影响

刘丹, 刘毅, 黄中浩, 高坤坤, 吴旭, 田茂坤, 王恺, 张超, 王瑞, 闵泰烨, 冯家海, 方亮

引用本文:

刘丹, 刘毅, 黄中浩, 等. 栅极坡度角对TFT器件制程的影响[J]. 液晶与显示, 2020, 35(10): 1026–1035.

LIU Dan, LIU Yi, HUANG Zhong-hao, et al. Influence of gate profile on TFT manufacturing process[J]. *Chinese Journal of Liquid Crystals and Displays*, 2020, 35(10): 1026–1035.

在线阅读 View online: <https://doi.org/10.37188/YJYXS20203510.1026>

您可能感兴趣的其他文章

Articles you may be interested in

基于以顶层ITO为像素电极设计的产品工艺优化

Process optimization based on products of pixel top design

液晶与显示. 2020, 35(3): 219–226 <https://doi.org/10.3788/YJYXS20203503.0219>

TFT-LCD制造工艺中金属或金属复合膜层坡度角的研究

TFT-LCD manufacture technology metal or metal composite film layer profile

液晶与显示. 2018, 33(3): 208–212 <https://doi.org/10.3788/YJYXS20183303.0208>

阵列基板栅极制程的Cu腐蚀研究

Cu corrosion of array substrate in gate process

液晶与显示. 2018, 33(9): 717–724 <https://doi.org/10.3788/YJYXS20183309.0717>

Mo/Al/Mo结构电极的坡度角和关键尺寸差研究

Profile and critical dimension bias of Mo/Al/Mo electrode

液晶与显示. 2017, 32(11): 877–885 <https://doi.org/10.3788/YJYXS20173211.0877>

铜工艺阵列基板上数据线和公共电极不可见的短路原因分析及改善

Research and improvement of data line and common line invisible short in copper process array substrate

液晶与显示. 2020, 35(10): 1036–1043 <https://doi.org/10.37188/YJYXS20203510.1036>

文章编号:1007-2780(2020)10-1026-10

栅极坡度角对 TFT 器件制程的影响

刘 丹^{1,2*}, 刘 毅^{1,3*}, 黄中浩¹, 高坤坤¹, 吴 旭¹, 田茂坤¹, 王 恺¹,
张 超¹, 王 瑞¹, 闵泰烨¹, 冯家海¹, 方 亮²

(1. 重庆京东方光电科技有限公司, 重庆 400700;

2. 重庆大学 物理学院, 重庆 400044; 3. 中国科学院 重庆绿色智能技术研究院, 重庆 400714)

摘要:薄膜晶体管(Thin film transistor, TFT)的栅极在截面方向上是一个台阶, 栅极绝缘层(Gate Insulator, GI)和源漏极(Source 和 Data 电极, SD 电极)依次覆盖于台阶之上, 覆盖程度以台阶覆盖率(台阶处 GI 层水平厚度与竖直厚度的比值)进行衡量。本文结合重庆京东方的 HADS 产品工艺制程, 探究了栅极厚度、坡度角对 GI 层的台阶覆盖率的影响。同时, 在覆盖率的基础上研究了台阶处和非台阶处的 SD 膜层刻蚀程度差异。结合量产中的不良, 分析栅极坡度角、覆盖率、栅极腐蚀等相关不良的关系, 并提出相应的良率提升措施。实验结果表明:坡度角是影响 GI 覆盖率的关键因素, 且栅极坡度角与 GI 覆盖率呈负线性关系。当栅极厚度在 280~500 nm 范围变化时, 栅极坡度角每增加 10°, GI 层台阶覆盖率下降约 20%。SD 膜层覆盖在台阶上, 因台阶的存在造成此处的 SD 层减薄, 最终导致该处的 SD 膜层刻蚀程度加大。如果栅极坡度角偏大, 会导致台阶处 GI 层减薄或者产生微裂纹, 工艺制程中的腐蚀介质会透过减薄的 GI 层进而腐蚀栅极; 此外, 偏大的栅极坡度角会导致台阶处的 SD 电极有断线的风险。通过刻蚀液种类变更、刻蚀液成分微调、刻蚀工艺的优化可以降低栅极坡度角, 规避上述良率风险。此外, 对于栅极腐蚀型不良, 也可以通过调整 GI 层的成膜参数来提升覆盖率。对于 SD 电极断线风险, 可尝试增加光刻胶粘附力、台阶处 SD 线加宽等措施规避风险。

关键词:薄膜晶体管; 栅极坡度角; 台阶覆盖率; 信号线断线; 栅极腐蚀

中图分类号: TN304; TN141.9 **文献标识码:** A **doi:** 10.37188/YJYXS20203510.1026

Influence of gate profile on TFT manufacturing process

LIU Dan^{1,2*}, LIU Yi^{1,3*}, HUANG Zhong-hao¹, GAO Kun-kun¹, WU Xu¹, TIAN Mao-kun¹,
WANG Kai¹, ZHANG Chao¹, WANG Rui¹, MIN Tai-ye¹, FENG Jia-hai¹, FANG Liang²

(1. Chongqing BOE Optoelectronics Technology Co., Ltd., Chongqing 400700, China;

2. Department of Applied Physics, Chongqing University, Chongqing 400044, China;

3. Chongqing Institute of Green and Intelligent Technology,
Chinese Academy of Sciences, Chongqing 400714, China)

Abstract: The gate electrode of thin film transistor(TFT) is a step in cross section, it is covered by gate insulator(GI), source and data electrode(SD electrode) in sequence, and the degree of coverage is measured by the step coverage, which is the ratio of the horizontal thickness to the vertical thickness of GI layer at the step. In this paper, combining the manufacturing process of HADS product in Chongqing BOE company, the influence of gate thickness and profile on the GI layer step coverage is

收稿日期:2020-03-20; 修订日期:2020-05-14.

* 通信联系人, E-mail: liudan_cq@boe.com.cn, liuyi@boe.com.cn

studied. Then, the difference of SD etching degree between step and non-step is explored based on step coverage. After that, the relationship between gate profile, step coverage, Cu corrosion and other defects are analyzed based on defect information in mass production. At last, the corresponding yield up measures are proposed. The experimental results show that the gate profile is a key factor affecting step coverage, and gate profile has a negative linear relationship with GI coverage. When the gate thickness varies from 280 nm to 500 nm, the GI coverage decreases by 20% for every 10° increase in the gate profile. SD layer covers the step, and will be thinned at this place, which leads to an increase in the degree of SD etching. If the gate profile is large, the GI layer at the step will be thinned or generates micro-cracks, the corrosive medium in manufacturing process will pass through the thinned GI layer or crack to react with gate electrode to form corrosion. What's more, a larger gate profile will cause SD line to be open at the step. A gentle gate profile can be obtained to avoid the above yield risk by changing etchant, adjusting etchant composition, optimizing etch process. In addition, it is a useful method to adjust GI deposition parameter to improve GI coverage to avoid gate corrosion; and the solution containing improving photo-resist adhesion, widening the SD line at the step can be tried to avoid SD line open.

Key words: thin film transistor; gate profile; step coverage; data line open; gate corrosion

1 引言

薄膜晶体管液晶显示器(Thin Film Transistor-Liquid Crystal Display, TFT-LCD)因其色彩逼真、画质清晰、轻薄节能等优点,取代了CRT显示器。经过近十几年的发展,TFT-LCD在显示技术中占据了重要地位,可对应大、中、小各型尺寸显示。随着显示技术的不断发展,近些年出现了有机发光二极管(Organic Light Emitting Diode, OLED)、量子点发光二极管(Quantum Light Emitting Diode, QLED)、Mini-LED、Micro-LED等新型显示技术。OLED具有响应快、轻薄、柔性化等特点,将逐步发展成为主流显示技术。但OLED对环境敏感,可靠性差,制程良率低,且制造成本高,目前该技术适用于中小型尺寸显示。由此可以预见,在未来的一段时期,TFT-LCD将和OLED共存,二者相互竞争发展^[1-3]。QLED显示属于电致发光,其器件的结构与OLED类似,最大的区别在于OLED的有机发光层是有机材料,而QLED的发光层是无机材料。无机材料的可靠性优于有机材料,理论上QLED有着更好的环境适应性。QLED技术目前还处于研发阶段,未量产。Mini-LED和Micro-LED属于LED型显示,Micro-LED的像素更小,技术难度更大。Mini-LED目前已经商业化,

Micro-LED预计在未来2~5年实现商业化^[3]。新型显示技术也同TFT-LCD进行交叉融合,进一步提升TFT-LCD显示性能。QLED技术已应用于TFT-LCD的背光源,该技术与LED背光源相比,可提供更纯的三基色,使得显示的颜色更真实,色域更广阔。三星、TCL已经推出QLED背光源电视。Mini-LED技术同样可以应用于TFT-LCD的背光源,Mini-LED背光源可实现局部调光,使TFT-LCD达到OLED的显示效果^[2-3]。

重庆京东方生产的高开口率高级超维场转化型液晶显示器(High aperture advanced super dimensional switching, HADS)用于笔记本电脑。HADS产品的TFT属于底栅结构,其制程依次是:栅极(Gate)、非晶硅层(Active)、像素电极(PXL ITO)、源极和漏极(Source和Drain, SD电极)、钝化层(Passivation, PVX)、公共电极(Common ITO),共经历6次光刻^[4]。栅极依次采用磁控溅射成膜、光刻、湿法刻蚀制得,栅极在截面方向形成梯形状台阶,有坡度角(Profile),坡度角受膜厚、光刻、刻蚀等参数的影响^[5]。栅极和有源层之间覆盖着栅极绝缘层(Gate Insulator, GI层),GI层由 SiN_x 构成,其采用化学气相沉积(Che-mical Vapor Deposition, CVD)方法制得。覆盖在栅极台阶处的 SiN_x ,沿水平方向有着厚度,沿着竖直方向也有厚度,水平方向的厚度与竖直方向厚度的比值

为台阶覆盖率(Step Coverage, 栅极坡度角处水平方向绝缘层厚度与竖直方向绝缘层厚度之比)^[6]。如果栅极的台阶覆盖率偏低,意味着栅极台阶处水平方向的 GI 层较薄,在此方向可能有短路的风险,进而导致产品良率下降。在栅极坡度角不变的情况下,可以通过调整 CVD 工艺制程参数的调整来获得较大的台阶覆盖率,进而规避风险^[6-8]。然而,随着工艺数的变化,栅极坡度角会发生变化^[5],栅极坡度角对 GI 层台阶覆盖率的影响以及该影响与后续制程、产品良率的关系却未见报道。

本文结合重庆京东方生产的 15.6HADS 产品的 TFT 工艺制程,通过工艺的调整获得不同坡度角的栅极,然后将不同坡度角的栅极样品制备成 TFT 器件。通过此实验,研究了栅极坡度角对 GI 层台阶覆盖率的影响。在此基础上,明确了栅极坡度角对后续的 SD 电极刻蚀的影响,推测并证实了栅极坡度角与 TFT 制程中栅极腐蚀的关系。最后,针对栅极坡度角偏大带来的不利影响提出改善方案。

2 实 验

2.1 实验流程

实验在京东方 8.5 代线的 15.6HADS 产品的工艺流程中进行,该产品的 TFT 器件结构和制程顺序如图 1 所示。在栅极阶段,通过膜厚、刻蚀液种类、刻蚀时间的变化,获得不同坡度角的栅极。将不同栅极坡度角的样品分为 A 和 B 两种类型,A 类型样品包含了栅极膜厚、坡度角的变化,该类样品随后进行栅极绝缘层(Gate Insulator, GI)成膜。按照工艺制程顺序,GI 膜层又可以细分为 3 层,依次是快速 GI 膜层(Fast Gate Insulator, FGI)、高速 GI 膜层(GI in High

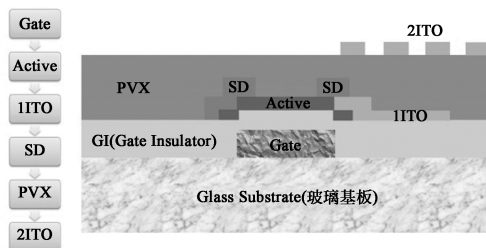


图 1 TFT 器件结构及制程顺序示意图

Fig.1 Diagram of TFT device and process sequence

Speed, GH)、低速 GI 膜层(GI in low speed, GL)。GL 层与 a-Si 接触,故谢振宇等人将 GL 层称作栅界面 SiN_x 层^[6]。GI 分层情况如图 2 所示。在栅极坡度角位置,FGI 在水平和竖直方向的厚度依次为 0.249 6 μm 和 0.266 3 μm ,水平厚度与竖直厚度之比为台阶覆盖率,FGI 的覆盖率为 93.7%。同理,整个 GI 在该处水平和竖直方向的厚度为 0.338 8 μm 和 0.365 5 μm ,对应的覆盖率为 92.7%。FGI 和 GI 的覆盖率参数接近,采用 FGI 的覆盖率反映整个 GI 的覆盖率。A 类样品仅完成 FGI 成膜,然后对样品进行切片,并采用扫描电子显微镜(Scan Electronic Microscope, SEM)进行微观形貌测试。在截面方向上,采用 SEM 观察覆盖有 FGI 膜层的栅极形貌,测试栅极台阶处 FGI 膜层的水平厚度和竖直厚度,然后换算获得台阶覆盖率数据,以此研究栅极膜厚和坡度角对 FGI 层台阶覆盖率的影响。B 类样品的栅极膜厚相同,只是经历不同的刻蚀液和刻蚀时间,最终导致栅极坡度角不同。B 类样品按照 15.6HADS 产品的工艺流程进行器件制备,在 SD 电极制备阶段,测试 SD 膜层经光刻后的光刻胶在台阶处和非台阶处的显影后关键尺寸(Development Inspection Critical Dimension, DICD),然后进行 SD 刻蚀、光刻胶剥离,再对样品在同样的位置测试电极的最终关键尺寸(Final Inspection Critical Dimension, 简称 FICD)。在 TFT 行业,DICD 与 FICD 之差称作 Bias 或 CD Bias,其代表刻蚀程度,该值越大则刻蚀程度越大。对于同一个样品,台阶处和非台阶处的 Bias 差异代表不同位置的刻蚀程度差异,也即台阶对刻蚀程度的影响;对于不同的样品,栅极坡度角不同,台阶处的 Bias 差异代表栅极坡度角对台阶处刻蚀影响程度

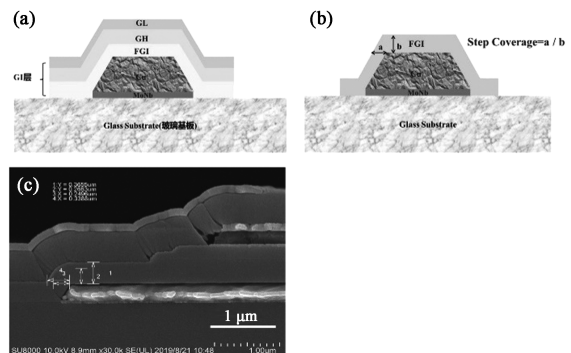


图 2 GI 分层(a,b)与覆盖示意图(c)

Fig.2 Diagram of GI layer (a,b) and its coverage (c)

的差异。DICD、FICD 与工艺制程的关系如图 3 所示,台阶处和非台阶处的位置如图 4 所示,CD1 代表台阶位置,下方的 CD2 代表非台阶位置。

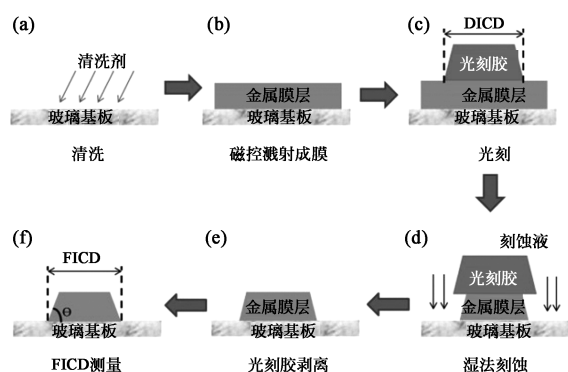


图 3 DICD 和 FICD 测试在工艺制程中的流程

Fig.3 Process flow for measurement of DICD and FICD

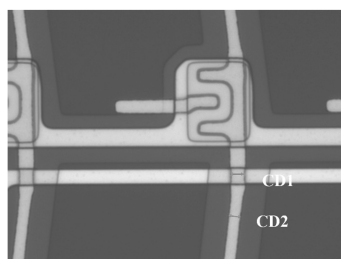


图 4 SD 层关键尺寸测量位置

Fig.4 Measuring position of critical dimension for SD layer

完成上述实验,明确栅极坡度角对 FGI 覆盖性和 SD 刻蚀差异影响,在此基础上提出栅极坡度角偏大导致 GI 台阶覆盖恶化,台阶处 GI 厚度变薄,最终导致腐蚀介质侵入造成栅极腐蚀的假设。将栅极腐蚀样品进行切片,采用 SEM 进行截面测试,对比腐蚀区域与非腐蚀区域的栅极坡度角差异,对假设进行验证。

2.2 实验样品

实验共分 3 部分,如表 1 所示。对于区块一,通过不同的磁控溅射时间获得栅极膜厚差异,通过变更刻蚀液种类和刻蚀时间获得不同的栅极坡度角。待该组样品完成 FGI 成膜后,在每个样品上均匀取 9 个部位,进行 SEM 测试,用最终的均值反应台阶覆盖率。对于区块二, DICD 和 FICD,采用 TFT 产线的 HTCD 设备进行测试。HTCD 设备采用非接触成像与像素分析的技术手段进行测量,每张玻璃基板测试 54 个点位,并

获得 54 个数据,通过 54 个数据的平均值反应测试情况。区块三中的样品属于 15.6HADS 的产品,在实际量产过程中遇到栅极腐蚀的问题,通过重庆京东方的良率管理系统(Yield Management System, YMS)确定腐蚀发生的位置,对这些位置进行标注,并切片取样;同时对未发生栅极腐蚀的位置进行标注并取样;然后对两组样品进行 SEM 测试,对比栅极坡度角,获得栅极腐蚀与栅极坡度角的关系。

表 1 制程实验条件

Tab.1 Experiment split of process

实验区块	探究区域	样品编号
区块一	栅极膜厚、坡度角对 FGI 覆盖性的影响	A 类
区块二	不同栅极坡度角对台阶处 SD 刻蚀程度的影响	B 类
区块三	栅极腐蚀与 GI 层台阶覆盖率的关系	-

3 实验结果及分析

3.1 栅极膜厚和坡度角对 GI 层台阶覆盖率的影

栅极是 MoNb/Cu 复合结构膜层, MoNb 作为缓冲层沉积在玻璃基板上,然后 Cu 再沉积到 MoNb 上面。MoNb 可以增加 Cu 与玻璃基板的粘附力。当栅极的 Cu 厚度保持 300 nm 时,不同栅极坡度角对应 FGI 膜层台阶覆盖的微观形貌如图 5 所示,图(a)对应的栅极坡度角比图(b)大,对于台阶位置水平方向上的 GI 厚度而言,图(b)的水平厚度更大。

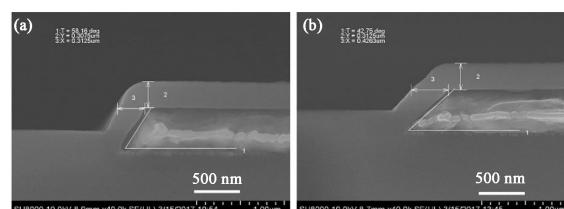


图 5 FGI 覆盖台阶的微观形貌。(a)较大的栅极坡度角;(b)较小的栅极坡度角。

Fig.5 Micro-morphology of FGI covering the step. (a) Larger profile; (b) Smaller profile.

在栅极膜厚保持 300 nm 条件下,栅极坡度角与台阶覆盖率的变化趋势如图 6 所示。栅极坡度角增加,FGI 膜层的台阶覆盖率逐渐下降,且下降的斜率存在阶段性差异,坡度角 58°是下降斜率的拐点。如果坡度角不高于 58°,台阶覆盖率下降速率快;坡度角高于 58°,台阶覆盖率缓慢下降。在坡度角约为 55°时,台阶覆盖率接近 100%,此时台阶处的 FGI 膜层水平厚度与竖直厚度持平。

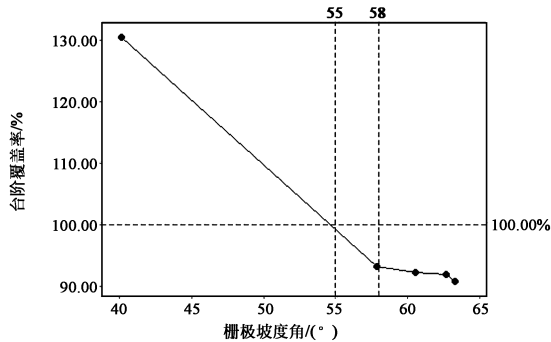


图 6 栅极厚度 300 nm 下坡度角与 FGI 覆盖率关系
Fig.6 Relationship between gate profile and FGI coverage in fixed gate thickness of 300 nm

不同栅极膜厚和坡度角样品与 FGI 层覆盖率对应情况如表 2 所示。从表中可以看出,当栅极膜厚固定时,栅极坡度角和 FGI 层覆盖率是负相关关系。将栅极膜厚和坡度角视作自变量,将 FGI 的覆盖率视作因变量,采用三维做图,情况如图 7 所示。通过对三维视图进行旋转,可以看出台阶覆盖率随着坡度角的变化而变化,同栅极膜厚并无明显的变化趋势。采用 Minitab 对上述两个自变量和一个因变量采用主效应分析,明确两个自变量对因变量的影响程度。主效应分析情况如图 8 所示,可以看出膜厚对 FGI 覆盖率的影响不超过 10%,可以忽略,坡度角的影响程度最大。

表 2 不同栅极膜厚、坡度角下的 FGI 覆盖率
Tab.2 FGI coverage in different gate thickness and profile

玻璃编号	栅极厚度/nm	坡度角/(°)	台阶覆盖率/%
A1	280	52.37	110.27
A2	280	62.64	91.73
A3	300	57.83	93.20
A4	300	60.5	92.28

续 表

玻璃编号	栅极厚度/nm	坡度角/(°)	台阶覆盖率/%
A5	300	62.62	92.02
A6	300	63.26	90.79
A7	300	40.17	130.59
A8	450	60.78	93.00
A9	450	42.52	135.45
A10	500	63.25	92.68
A11	500	44.04	132.07

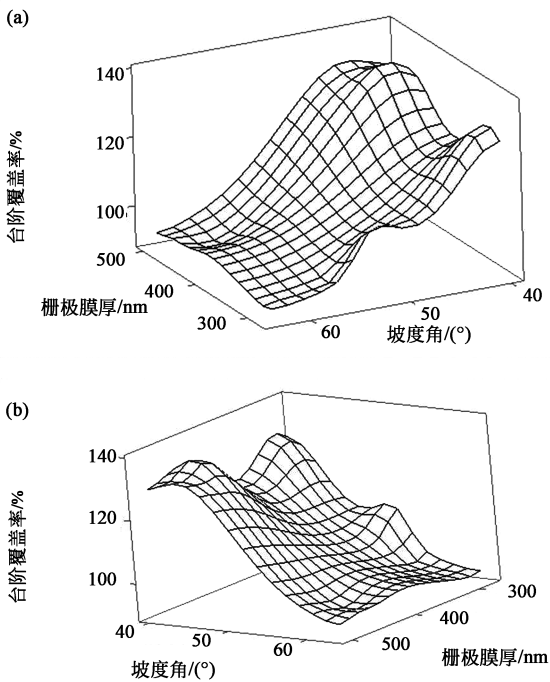


图 7 不同栅极膜厚(a)、坡度角(b)下 FGI 覆盖率的三维视图。
Fig.7 Three dimension view of FGI coverage in different gate thickness (a) and profile (b)

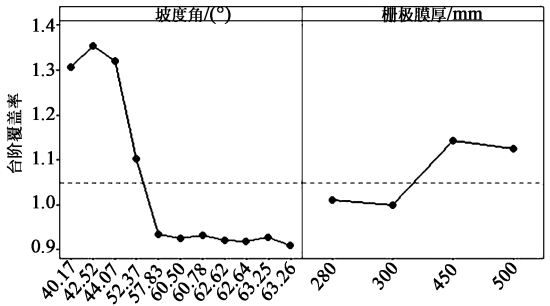


图 8 栅极膜厚、坡度角关于 FGI 覆盖率的主效应分析。
Fig.8 Main effect analysis of gate thickness and profile on FGI coverage

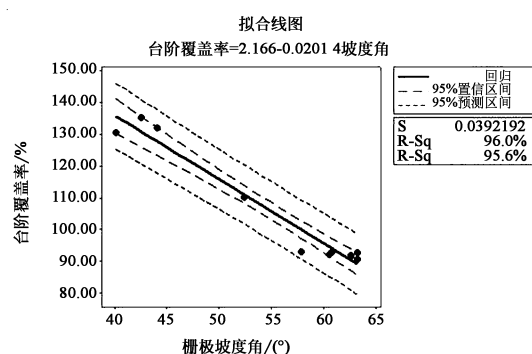


图 9 FGI 覆盖率关于栅极坡度角的回归方程

Fig.9 Regression equation between FGI coverage and gate profile

栅极坡度角是影响 FGI 覆盖率的主要因素,采用线性回归模型对表 2 中的数据进行分析,并建立单元线性回归模型,情况如图 9 所示。线性模型可以解释 96% 的变异,模型有效,该线性模型对栅极膜厚 280~500 nm 适用。为确保 FGI 的台阶覆盖率达到 100%,将该数值带入图中的方程,计算得到对应的栅极坡度角为 58°。为了保证台阶处水平方向上的 FGI 膜层不减薄,栅极坡度角不应超过 58°。

3.2 栅极坡度角对台阶处 SD 刻蚀的影响

栅极形成台阶,GI 层覆盖在栅极上亦形成台阶,SD 膜层亦会盖在 GI 台阶之上。这样,SD 层也存在台阶覆盖率,如果台阶的角度偏大,台阶处的 SD 膜层在水平方向上就会偏薄。该情况如图 10 所示,竖直方向上的 SD 膜厚为 n ,水平方向上的厚度为 m 。结合图 4 所示,位置 CD1 处的 SD 线下方无台阶,其厚度为 n ;位置 CD3 处存在台阶,那么该处的 SD 膜层在水平方向的厚度为 m 。

当台阶坡度角偏大时,台阶处的 SD 膜层水平厚度 m 小于竖直厚度 n ,即 SD 膜层减薄。当

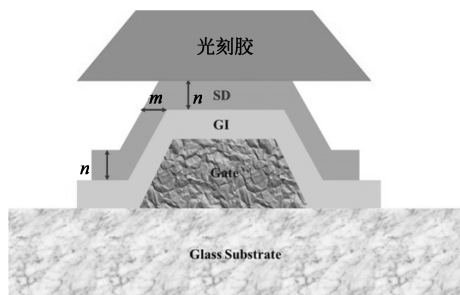


图 10 台阶处的 SD 层覆盖示意图

Fig.10 Diagram of SD covering at the step

SD 膜层减薄之后,在同样的刻蚀条件下,台阶处的刻蚀程度会增加。对于同一个样品,经历的工艺制程相同,同一个样品的台阶与非台阶处的 SD CD Bias 差异反应出刻蚀程度的差异。如表 3 所示,在同一个样品前提下,台阶处的 SD CD Bias 始终大于非台阶处的数值,这表明台阶处的刻蚀程度更大,因同一个样品经历的刻蚀条件一样,可以反推出台阶处的 SD 膜层因坡度角而减薄了。

表 3 台阶处与非台阶处的 SD CD Bias 情况

Tab.3 SD CD Bias at step and non-step position

样品号	DICD		FICD		Bias	
	非台阶	台阶	非台阶	台阶	非台阶	台阶
B1	5.126	5.686	3.432	3.926	1.69	1.76
B2	5.076	5.613	3.41	3.877	1.67	1.74
B3	5.149	5.689	3.468	3.953	1.68	1.74

对于台阶位置处的 SD,可以通过降低栅极坡度角的方式减小刻蚀程度。图 11 所示为不同栅极坡度角对应的台阶处 SD CD Bias 情况。栅极坡度角分为 B4 和 B5 两类,且 B4 的坡度角为 61°,B5 坡度角为 46°;其中 B4 类别的样品有 3 个,B5 样品有 4 个,用 B4-1~B4-3 表示。B4 对应的 SD Bias 在 1.74 μm 附近,B5 对应的 SD Bias 比 B4 样品约小 0.1。对于细线化产品(如手机屏幕),因 SD 线宽度小,台阶处断线(TFT 行业称之为 step open)发生率高于其他尺寸产品(如笔记本电脑屏幕、电视屏幕)。如果采用变更刻蚀液的方式来降低台阶处断线风险,成本太高;如果不变更刻蚀液而采用降低栅极坡度角的方式

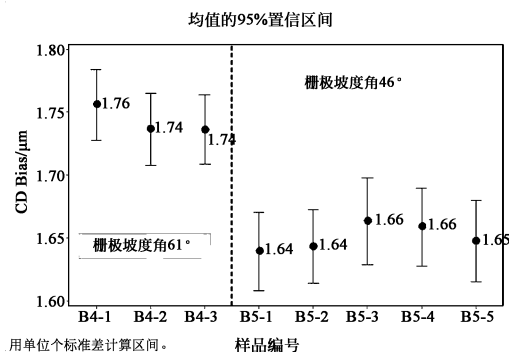


图 11 不同栅极坡度角台阶位置的 SD 刻蚀程度

Fig.11 Etching degree of SD layer at step position for different gate profile

降低台阶处的 CD Bias,进而规避台阶处断线风险,可提升细线化产品的良率,带来经济收益;同时,台阶处 CD Bias 降低。这可以使得光刻到刻蚀的等待时间(TFT 行业称之为 Q-time)适当延长,缓解生产运营的压力。

3.3 栅极坡度角与栅极腐蚀的关系

对于 TFT 器件是 Cu 电极的产品,在制程中会遇到栅极腐蚀的情况。量产条件下,完成 SD 电极制程之后进行良率检测(TFT 行业称之为 Data Test,DT)。当 TFT 器件制程全部完成后,进行 Array Test(AT)。DT 检测在 AT 检测之前进行。如果栅极发生腐蚀,检测中信号加载异常,结合坐标点位便可确定栅极腐蚀发生的位置。对于栅极腐蚀严重的样品,在 DT 阶段便可检测出来;对于腐蚀相对弱的样品,在 AT 检测阶段才可检出。

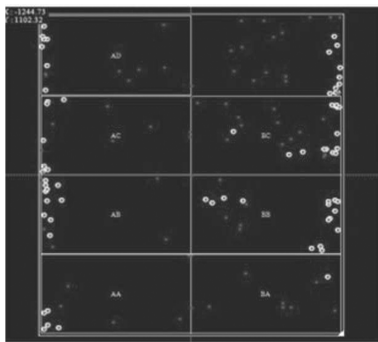


图 12 TFT 基板上栅极腐蚀位置

Fig.12 Map of gate corrosion in TFT substrate

对于量产的某一款产品,在 AT 阶段检出栅极腐蚀,腐蚀发生的位置如图 12 所示。图 12 中,外层最大的矩形代表玻璃基板,也称 TFT 基板;TFT 基板里面的小矩形代表显示屏,图中的点代表栅极腐蚀发生的位置。从图中可以看到,栅极腐蚀主要集中在玻璃基板的两侧,而中间位置的栅极腐蚀相对较少。AT 检测设备对栅极腐蚀位置的拍图如图 13 所示,图 13(a)中虚线框标注的位置发生栅极腐蚀,且腐蚀发生在台阶处。对腐蚀位置进行 FIB 测试,如图 13(b)所示,栅极形态不规则,栅极上方的 GI 层缺失。

对发生栅极腐蚀的样品切片,分别在 TFT 基板的左、中、右位置取样,然后对 3 种样品进行 SEM 测试,测量栅极坡度角,并通过箱线图反应不同位置的栅极坡度角分布。3 个位置的栅极坡

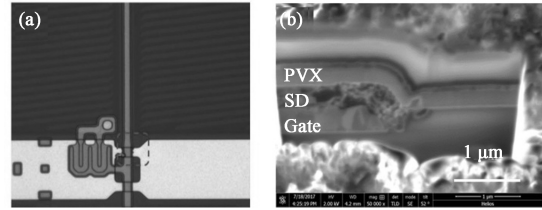


图 13 栅极腐蚀的检测图片。(a)发生在台阶处的栅极腐蚀;(b)腐蚀位置处的 FIB 测试。

Fig.13 Inspection image of gate corrosion. (a) Gate corrosion at the step; (b) FIB test at the gate corrosion.

度角情况如图 14 所示,可以看到基板的左、右位置处栅极坡度角较大,且部分坡度角已经达到 60° ;而中间位置的栅极坡度角相对较小,最小的坡度角可达到 47° 。结合栅极坡度角的分布情况,可以获得这样的结论:栅极坡度角大的位置栅极腐蚀发生率高,栅极坡度角小的位置腐蚀发生率低。

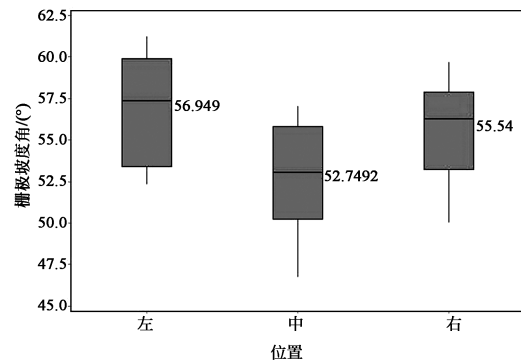


图 14 栅极腐蚀样品不同位置的栅极坡度角分布

Fig. 14 Gate profile distribution at different positions of corrosion samples

对于栅极坡度角偏大与栅极腐蚀的相关关系,推测是 GI 层微裂纹和 Cu 扩散所致。如图 15 所示,当栅极坡度角偏大时,GI 膜层覆盖在 TFT 基板上,台阶处的 GI 膜厚减薄,且在应力作用下该处的 GI 层会产生微裂纹,后续制程中伴随着高温工艺制程(如 ITO 退火、PVX 成膜等),裂纹会进一步扩展。后续制程的非晶硅层刻蚀,采用的氯气对 Cu 有腐蚀作用^[9];非晶硅层光刻胶剥离制程的剥离液和 H_2O 均对 Cu 具有腐蚀作用^[10],这些腐蚀介质进入微裂纹并残留在微裂纹中。微裂纹处的 GI 层更薄,残留的腐蚀介质透过 GI 层与栅极接触,发生反应。随着工艺制程的进行,微裂纹逐步

朝栅极扩展,腐蚀介质逐步与栅极反应,最终造成栅极腐蚀。此外,如果微裂纹扩展至栅极,腐蚀介质将 SD 电极和栅极连通,形成栅极和 SD 电极短路(TFT 行业称之为 Data Gate short,DGS)。这就是栅极腐蚀通常伴随着 DGS 的原因。

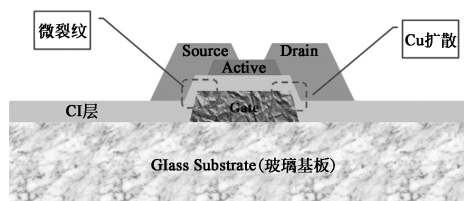


图 15 GI 层微裂纹和铜扩散示意图

Fig.15 Diagram of GI micro-cracks and Cu diffusion

此外,栅极采用 Cu 材料制得,GI 层是 SiN_x 材料,Cu 可在 SiN_x 材料中扩散^[11-12],在 GI 成膜的后续制程中,伴随着高温工艺,Cu 的扩散程度逐渐加大。如图 15 中的虚线框所示,栅极台阶处的 Cu 可向 GI 层扩散,这会导致 GI 膜层的有效厚度减小,即对栅极的保护作用减弱;在这种情况下,腐蚀介质就透过减薄 GI 膜层与栅极接触,形成腐蚀。当然,栅极的 Cu 扩散造成 GI 膜层有效厚度减少,使得栅极和 SD 电极场强增加,有静电击伤(ESD)风险;一旦 Cu 扩散导致栅极与 SD 电极导通,就形成短路类型的不良。

3.4 栅极坡度角偏大对制程影响的汇总

栅极坡度角偏大对工艺制程的影响,结合 X-mind 思维导图软件将原因、发展过程、逻辑关系、最终的影响等情况采用树状图的形式汇总于图 16。栅极坡度角偏大,导致 GI 层台阶覆盖率下降,可诱发栅极腐蚀、ESD、栅极与 SD 电极短路等不良。同时,栅极坡度角偏大,形成的台阶造成 SD 膜层覆盖率偏低,在栅线和 SD 线交叉的位置容易造成 SD 线断线。

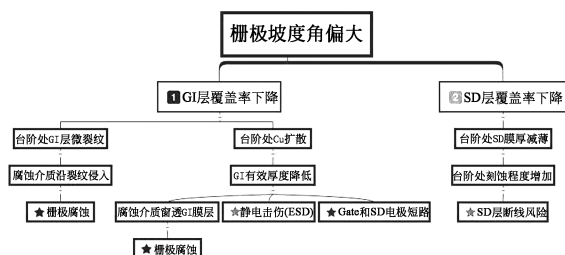


图 16 栅极坡度角对 TFT 制程影响汇总

Fig.16 Influence of gate profile on TFT process

对于 GI 层台阶覆盖率偏低和 SD 层覆盖率偏低造成的不良,结合 X-mind 软件采用逻辑图形式提出解决方案。如图 17 所示,对于 GI 层台阶覆盖率偏低,可采用降低栅极坡度角的方法增加其覆盖率;在栅极刻蚀阶段,调整刻蚀液的种类和成分,有效降低栅极坡度角^[5,13]。如果栅极坡度角不容易降低,则可以调整 GI 膜层的成膜参数。GI 膜层属于 SiN_x 材料,降低成膜功率、增加基板与 CVD 设备中电极的间距、调整 SiH_4/NH_3 的气体比例,可以获得较大的台阶覆盖率^[6]。

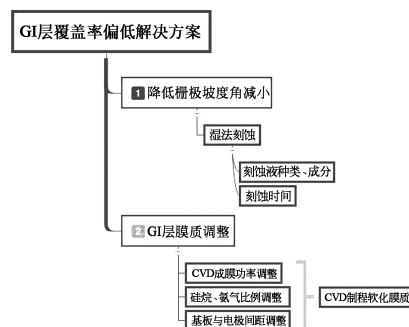


图 17 GI 台阶覆盖率偏低的解决方案

Fig.17 Solutions for low step coverage of GI layer

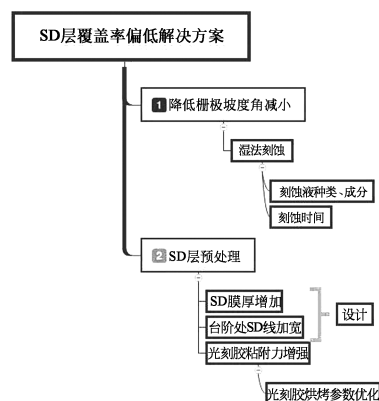


图 18 SD 层台阶覆盖率偏低的解决方案

Fig.18 Solutions for low step coverage of SD layer

图 18 给出了 SD 层台阶覆盖率偏低的解决方案。首先考虑降低栅极坡度角,如果栅极坡度角不容易降低,则整体增加 SD 层的膜厚来规避台阶处断线的风险。在 SD 层膜厚不变的前提下,可以将台阶处的 SD 线设计得宽一下,进而避免该处断线。此外,可以在 SD 膜层的光刻阶段,调整光刻胶烘烤参数,增加光刻胶的粘附力,这样在后续刻蚀过程中不易形成台阶处断线。

4 结 论

实验探究表明,对于栅极形成的台阶,其坡度角对后续膜层的覆盖性有影响,而台阶厚度(280~500 nm)的影响可忽略。栅极坡度角与台阶覆盖率呈负相关关系,膜层的台阶覆盖性对制程和良率均产生影响。

栅极坡度角每增加 10° ,GI 层的台阶覆盖率变下降约 0.2,栅极坡度角增加会导致台阶处水平方向的 GI 膜层逐渐减薄。台阶处 GI 减薄后,腐蚀介质容易侵入,造成栅极腐蚀;同时,栅极的 Cu 朝 SD 电极扩散造成 GI 厚度进一步降低,栅极腐

蚀的风险加大且有 ESD 或者栅极与 SD 电极短路的风险。栅极台阶造成该处 SD 膜层减薄,该处刻蚀程度加大,且栅极坡度角越大该处的刻蚀程度也越大,该处有 SD 断线的风险。对于栅极坡度角偏大引发 GI 层覆盖率和 SD 层覆盖率偏低造成的不良,可以通过降低栅极坡度角的途径进行改善。栅极的光刻、湿法刻蚀等参数调整,可以有效降低栅极坡度角。同时,对于 GI 覆盖率偏低问题,可以从 GI 的 CVD 成膜阶段进行参数优化,获得良好的台阶覆盖率。此外,对于 SD 层台阶覆盖率偏低的情况,可以通过增加 SD 膜厚、增加台阶处 SD 线宽的措施来规避台阶位置 SD 断线。

参 考 文 献:

- [1] 李继军,聂晓梦,李根生,等.平板显示技术比较及研究进展[J].中国光学,2018,11(5):695-710.
LI J J, NIE X M, LI G S, *et al.* Comparison and research progress of flat panel display technology [J]. *Chinese Optics*, 2018, 11(5): 695-710. (in Chinese)
- [2] 李继军,聂晓梦,甄威,等.显示技术比较及新进展[J].液晶与显示,2018,33(1):74-84.
LI J J, NIE X M, ZHEN W, *et al.* New developments and comparisons in display technology [J]. *Chinese Journal of Liquid Crystals and Displays*, 2018, 33(1): 74-84. (in Chinese)
- [3] 吴诗聪.Mini-LED:助力下一轮 LCD 技术发展[J].光电子技术,2018,38(3):145-148.
WU S C. Mini-LED: next round of LCD evolution [J]. *Optoelectronic Technology*, 2018, 38(3): 145-148. (in Chinese)
- [4] 林致远,杨成绍,邹志翔,等.ITO 像素电极工序对于 HADS 产品 TFT 特性的影响[J].液晶与显示,2016,31(4):370-374.
LIN Z Y, YANG C S, ZOU Z X, *et al.* Effects of pixel ITO process on TFT characteristics of HADS product [J]. *Chinese Journal of Liquid Crystals and Displays*, 2016, 31(4): 370-374. (in Chinese)
- [5] 刘丹,秦刚,蔡卫超,等.Mo/Al/Mo 结构电极的坡度角和关键尺寸差研究[J].液晶与显示,2017,32(11):877-885.
LIU D, QIN G, CAI W C, *et al.* Profile and critical dimension bias of Mo/Al/Mo electrode [J]. *Chinese Journal of Liquid Crystals and Displays*, 2017, 32(11): 877-885. (in Chinese)
- [6] 谢振宇.a-Si TFT 用氮化硅薄膜的制备及其性能研究[D].成都:电子科技大学,2006.
XIE Z Y. Preparation and properties of silicon nitride thin films for a-Si TFT [D]. Chengdu: University of Electronic Science and Technology. (in Chinese)
- [7] OSONO S, UCHIYAMA Y, KITAZOE M, *et al.* Coverage properties of silicon nitride film prepared by the Cat-CVD method [J]. *Thin Solid Films*, 2003, 430(1/2): 165-169.
- [8] HEYA A, MINAMIKAWA T, NIKI T, *et al.* Coverage properties of SiN_x films prepared by catalytic chemical vapor deposition on patterned substrates below 80°C [J]. *Thin Solid Films*, 2008, 516(10): 3000-3004.
- [9] 白金超,李小龙,韩皓,等.4-Mask 工艺 Cu 腐蚀分析及改善研究[J].液晶与显示,2019,34(2):125-129.
BAI J C, LI X L, HAN H, *et al.* Research of Cu corrosion in 4-Mask process [J]. *Chinese Journal of Liquid Crystals and Displays*, 2019, 34(2): 125-129. (in Chinese)
- [10] 刘丹,秦刚,王任远,等.阵列基板栅极制程的 Cu 腐蚀研究[J].液晶与显示,2018,33(9):717-724.
LIU D, QIN G, WANG R Y, *et al.* Cu corrosion of array substrate in gate process [J]. *Chinese Journal of Liquid Crystals and Displays*, 2018, 33(9): 717-724. (in Chinese)
- [11] 马群刚,周刘飞,喻玥,等.InGaZnO 薄膜晶体管背板的栅极驱动电路静电释放失效研究[J].物理学报,2019,68

(10):108501.

MA Q G, ZHOU L F, YU Y, *et al.* Electro-static discharge failure analysis and design optimization of gate-driver on array circuit in InGaZnO thin film transistor backplane [J]. *Acta Physica Sinica*, 2019, 68(10): 108501. (in Chinese)

- [12] 马群刚,王海宏,张盛东,等.InGaZnO 薄膜晶体管背板的层间 Cu 互连静电保护研究[J].物理学报,2019,68(15):158501.

MA Q G, WANG H H, ZHANGS D, *et al.* Electro-static discharge protection analysis and design optimization of interlayer Cu interconnection in InGaZnO thin film transistor backplane [J]. *Acta Physica Sinica*, 2019, 68(15): 158501. (in Chinese)

- [13] 范学丽,靖瑞宽,王晏韶,等.TFT-LCD 制造工艺中金属或金属复合膜层坡度角的研究[J].液晶与显示,2018,33(3):208-212.

FAN X L, JING R K, WANG YM, *et al.* TFT-LCD manufacture technology metal or metal composite film layer profile [J]. *Chinese Journal of Liquid Crystals and Displays*, 2018, 33(3): 208-212. (in Chinese)

作者简介:



刘 丹(1988—),男,重庆忠县人,博士研究生,高级工程师,2014 年于四川大学获得硕士学位,PMP、工信部可靠性工程师、数据分析师(CPDA,国际 TRIZ 协会二级认证),主要从事 TFT-LCD 工艺研究。E-mail: liudan_cq@boe.com.cn



刘 毅(1983—),男,江西九江人,硕士,博士研究生,资深高级工程师,2015 年于中国人民大学获得硕士学位,主要从事 TFT-LCD 生产制造工作。E-mail: liuyi@boe.com.cn